

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170954

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H01L 29/78

H01L 21/28

H01L 29/43

(21)Application number : 2001-120618

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 19.04.2001

(72)Inventor : LEE BYUNG HAK

(30)Priority

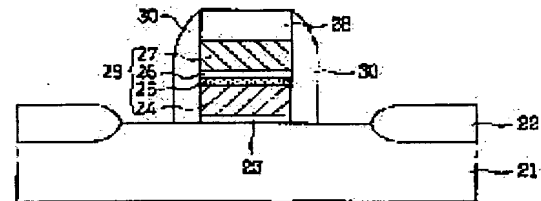
Priority number : 2000 200068405 Priority date : 17.11.2000 Priority country : KR

(54) METHOD FOR FORMING GATE ELECTRODE ON SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a wiring resistance and a contact resistance in a manufacturing method of a semiconductor element.

SOLUTION: A gate insulating film 23 is formed in an upper surface of a semiconductor substrate 21; a polysilicon film 24 and a tungsten silicide film 25 are formed in an upper surface thereof; a diffusion barrier film 26 and a tungsten film 27 are formed in an upper surface thereof; the diffusion barrier film 26 is crystallized by performing a heat treatment process for the semiconductor substrate 21; a first insulating film 28 is formed in an upper surface of the tungsten film 27; selective patterning is performed for the first insulating film 28, the tungsten film 27, the diffusion barrier film 26, the tungsten silicide film 25, the polysilicon film 24, and the gate insulating film 23; and a gate electrode 29 is formed. It is subjected to a selective oxidation process, and a second insulating sidewall 30 is formed in both side surfaces of the gate electrode 29. As a result, a wiring resistance and a contact resistance can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-170954

(P2002-170954A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)	
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 A	4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 G	5 F 1 4 0
29/43		29/62	G	

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-120618(P2001-120618)
(22) 出願日 平成13年4月19日 (2001.4.19)
(31) 優先権主張番号 6 8 4 0 5 / 2 0 0 0
(32) 優先日 平成12年11月17日 (2000.11.17)
(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111
株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136-1
(72) 発明者 李 柄 學
大韓民国忠清北道清州市興徳区香亭洞現代
半導体寮B-104
(74) 代理人 100078330
弁理士 笹島 富二雄 (外1名)

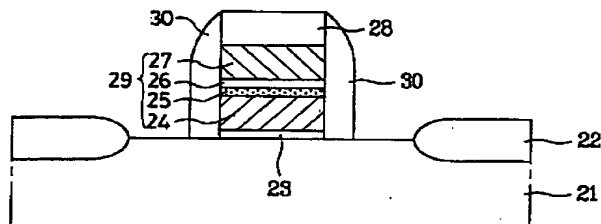
最終頁に続く

(54) 【発明の名称】 半導体素子のゲート電極形成方法

(57) 【要約】

【課題】 半導体素子の製造方法において、配線抵抗とコンタクト抵抗を減少する。

【解決手段】 半導体基板21の上面にゲート絶縁膜23を形成し、その上面にポリシリコン膜24及びケイ化タングステン膜25を形成し、その上面に拡散バリア膜26及びタングステン膜27を形成し、前記半導体基板21に熱処理工程を施して前記拡散バリア膜26を結晶化し、前記タングステン膜27の上面に第1絶縁膜28を形成し、該第1絶縁膜28とタングステン膜27と拡散バリア膜26とケイ化タングステン膜25とポリシリコン膜24とゲート絶縁膜23とを選択的にパターニングしてゲート電極29を形成し、これに選択酸化工程を施して前記ゲート電極29両側面に第2絶縁膜側壁30を形成する。これにより、配線抵抗とコンタクト抵抗を減少することができる。



【特許請求の範囲】

【請求項1】半導体基板の上面にゲート絶縁膜を形成するステップと、

前記ゲート絶縁膜の上面にポリシリコン膜及びケイ化タングステン膜を順次に形成するステップと、

前記ケイ化タングステン膜の上面に拡散バリア膜及びタングステン膜を順次に形成するステップと、

前記半導体基板に熱処理工程を施して前記拡散バリア膜を結晶化させるステップと、

前記タングステン膜の上面に第1絶縁膜を形成するステップと、

前記第1絶縁膜とタングステン膜と拡散バリア膜とケイ化タングステン膜とポリシリコン膜とゲート絶縁膜とを選択的にパターンニングしてゲート電極を形成するステップと、

前記ゲート電極に選択酸化工程を行うステップと、

前記ゲート電極及び第1絶縁膜の両側面に第2絶縁膜側壁を形成するステップと、を順次行うことを特徴とする半導体素子のゲート電極形成方法。

【請求項2】前記拡散バリア膜は、非晶質窒化タングステン膜から形成することを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【請求項3】前記拡散バリア膜は、600～800℃の温度で1～60分間の熱処理を施して結晶化させることを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【請求項4】前記選択酸化工程は、水蒸気と水素ガスとの混合ガス雰囲気下において800～1000℃の温度で1～60分間の熱処理を施し、キャリアガスとしてアルゴンガス及び窒素ガスを用いることを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【請求項5】前記非晶質窒化タングステン膜は、窒素含有量が5～55%であることを特徴とする請求項2記載の半導体素子のゲート電極形成方法。

【請求項6】前記ケイ化タングステン膜は、タングステンに対するシリコンの比が2.0～3.0であることを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【請求項7】前記拡散バリア膜は、窒素含有量の異なる窒化タングステン膜を積層して形成することを特徴とする請求項1記載の半導体素子のゲート電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法において、配線抵抗とコンタクト抵抗を減少することができる半導体素子のゲート電極形成方法に関する。

【0002】

【従来の技術】一般に、半導体素子のゲート電極形成工程において、ゲート電極の抵抗を減少させるためにケイ化タングステン(WSi_x)より非抵抗の次数が1桁低

い物質であるタングステン(W)をポリシリコンの上面に蒸着し、上記タングステン及びポリシリコンをパターンニングしてゲート電極を形成する。

【0003】しかしながら、上記タングステンとポリシリコンは、600℃以上で反応して該タングステンとポリシリコンとの界面にシリサイドが形成されることによってゲート電極の抵抗が増加するので、これを防止するために上記タングステンとポリシリコンとの間に拡散バリア層として機能する窒化タングステン(WNx)を介在させ、タングステンと窒化タングステンとポリシリコンとの積層構造を有するゲート電極を形成していた。

【0004】尚、上記拡散バリア層としては、通常窒化タングステン又は窒化チタン(TiN)を用いるが、現在は主に窒化タングステンが用いられている。その理由は、窒化チタンの上面にスパッタリング法によりタングステンが蒸着された場合に、タングステンとポリシリコンの構造に比べてタングステンのグレインサイズが小さいため、ゲート電極の抵抗が純粋なタングステンの2倍以上に増加するという問題が発生するためであり、またポリシリコンの選択的酸化工程において窒化チタンが酸化されるという問題があるためである。(参考文献：(1) Y. Akasaka, "Low-Resistivity Poly-Metal Gate Electrode Durable for High-Temperature Processing", IE EE Trans. Electron Devices, Vol. 43, pp. 1864~1869, 1996; (2) B. H. Lee, "In-situ Barrier Formation for High Reliable W/barrier/poly-Si Gate Using Denudation of WN_x on Polycrystalline", IEDM, 1998)。

【0005】以下、従来の半導体素子のゲート電極形成方法に関し、添付図面を参考して説明する。図7～図11は、従来の半導体素子のゲート電極形成方法の工程を示す断面図である。

【0006】まず、図7に示すように、アクティブ領域とフィールド領域とに画定された半導体基板11のフィールド領域にフィールド酸化膜12を形成し、前記半導体基板11の表面にゲート酸化膜13を約65Åの厚さで形成する。ここで、前記ゲート酸化膜13は、半導体基板11を熱酸化して形成する。

【0007】次に、図8に示すように、前記ゲート酸化膜13を含む半導体基板11の全面にLPCVD(Low Pressure Chemical Vapor Deposition)法によりドーパされていない(nondoped)ポリシリコン膜14を約2000Åの厚さで蒸着する。

【0008】次に、前記ドーパされていないポリシリコン膜14に窒素イオン(N⁺)又はリンイオン(P⁺)を注入する。尚、前記ポリシリコン膜14に窒素イオン又はリンイオンを注入する時、フォトレジストをマスクとして用いて所望のNMOS領域にヒ素イオン(As)又はリンイオン(P)を注入し、また所望のPMOS領域にホウ素イオン(B)又は二フッ化ホウ素イオン(BF₂)を注入する。そして、前記不純物が注入されたポリ

シリコン膜14に800℃で10分間の熱処理を施して不純物イオンを活性化させる。

【0009】次に、図9に示すように、前記半導体基板11をフッ化水素（HF）溶液で洗浄した後、前記ポリシリコン膜14の上面に窒化タングステン膜15を50～100Å厚さで蒸着する。そして、前記窒化タングステン膜15の上面に約1000Åの厚さのタングステン膜16を蒸着し、該タングステン膜16の上面に約2000Åの厚さの第1絶縁膜17を蒸着する。ここで、前記窒化タングステン膜15は、タングステン膜16とポリシリコン膜14との間の拡散バリアに用いる膜であり、前記第1絶縁膜17は以後ゲートキャップ絶縁膜に用いられる膜である。

【0010】次に、前記第1絶縁膜17の上面にフォトレジスト（図示せず）を塗布した後、該フォトレジストに露光工程及び現像工程を施すことにより上記フォトレジストをパターニングしてゲート領域を画定する。その後、前記パターニングされたフォトレジストをマスクとして用いて前記第1絶縁膜17及びタングステン膜16、窒化タングステン膜15、ポリシリコン膜14、ゲート酸化膜13を選択的に除去し、図10に示すように、タングステン膜16と窒化タングステン膜15とポリシリコン膜14との積層構造を有するゲート電極18を形成する。

【0011】そして、前記ゲート電極18に酸化工程を施して該ゲート電極18の側面の一部に酸化膜（図示せず）を形成する。さらに、前記半導体基板11の全面に第2絶縁膜を形成した後、エッチバック工程を施し、図11に示すように、前記ゲート電極18及び絶縁膜17の両側面に第2絶縁膜側壁19を形成する。

【0012】

【発明が解決しようとする課題】しかしながら、上述したような従来の半導体素子のゲート電極形成方法においては、次のような問題点があった。即ち、ポリシリコン膜14の上面にタングステン膜16と窒化タングステン膜15との積層膜を蒸着する場合、後の熱処理工程（通常800℃以上）において、タングステン膜16とポリシリコン膜14の界面に、タングステンとシリコンと酸素と窒素とからなる層が形成されることによって、上記タングステン膜16とポリシリコン膜14との間における界面抵抗が増加し、素子の動作時における遅延が生じるという問題点があった。

【0013】そこで、本発明は、このような従来技術の問題点に対処し、タングステンとポリシリコンとの間における界面抵抗を減少し、素子の動作時における遅延を防止できる半導体素子のゲート電極形成方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明による半導体素子のゲート電極形成方法は、

半導体基板の上面にゲート絶縁膜を形成するステップと、前記ゲート絶縁膜の上面にポリシリコン膜及びケイ化タングステン膜を順次に形成するステップと、前記ケイ化タングステン膜の上面に拡散バリア膜及びタングステン膜を順次に形成するステップと、前記半導体基板に熱処理工程を施して前記拡散バリア膜を結晶化させるステップと、前記タングステン膜の上面に第1絶縁膜を形成するステップと、前記第1絶縁膜とタングステン膜と拡散バリア膜とケイ化タングステン膜とポリシリコン膜とゲート絶縁膜とを選択的にパターニングしてゲート電極を形成するステップと、前記ゲート電極に選択酸化工程を行うステップと、前記ゲート電極及び第1絶縁膜の両側面に第2絶縁膜側壁を形成するステップと、を順次行うものである。

【0015】ここで、上記拡散バリア膜は、非晶質窒化タングステン膜から形成するものである。

【0016】そして、上記拡散バリア膜は、600～800℃の温度で1～60分間の加熱処理により結晶化させる。

【0017】また、上記選択酸化工程は、水蒸気と水素ガスとの混合ガス雰囲気下において800～1000℃の温度で1～60分間の加熱処理を施し、キャリアーガスとしてアルゴンガス及び窒素ガスを用いるものである。

【0018】さらに、上記非晶質窒化タングステン膜は、窒素含有量が5～55％である。

【0019】さらにまた、上記ケイ化タングステン膜は、タングステンに対するシリコンの比が2.0～3.0である。

【0020】そして、上記前記拡散バリア膜は、窒素含有量の異なる窒化タングステン膜を積層して形成するものである。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照して詳細に説明する。図1～図6は、本発明による半導体素子のゲート電極形成方法の工程を示す断面図である。

【0022】まず、図1に示すように、アクティブ領域とフィールド領域とに画定された半導体基板21のフィールド領域にフィールド酸化膜22を形成し、前記半導体基板21を熱酸化して半導体基板21の表面に30～80Åの厚さを有するゲート酸化膜23を形成する。ここで、前記フィールド酸化膜22は、一般的なLOCOS工程又はSTI (Shallow Trench Isolation) 工程により形成する。

【0023】次に、図2に示すように、前記ゲート酸化膜23を含む半導体基板21の全面に、LPCVD法によりドーパされたポリシリコン膜24を約1000Åの厚さで蒸着する。そして、前記ポリシリコン膜24の上面にケイ化タングステン膜25を約100Åの厚さで形

成する。ここで、前記ケイ化タングステン膜25内におけるタングステンに対するシリコンの比は、2.0～3.0である。

【0024】次に、図3に示すように、前記ケイ化タングステン膜25の上面に拡散バリア膜として用いる窒化タングステン膜26を約100Å厚さで形成し、前記窒化タングステン膜26の上面に約900Åの厚さのタングステン膜27を蒸着する。ここで、前記窒化タングステン膜26の窒素含有量は5～55%で、非晶質窒化タングステン膜を用いる。尚、前記窒化タングステン膜26の上面に窒素含有量の異なる窒素タングステン膜を積層して形成することによって熱安定性を向上することができる。

【0025】次に、図4に示すように、前記半導体基板21を窒素ガスと水素ガスとの混合ガス雰囲気下において600～800℃の温度で熱処理し、前記窒化タングステン膜26をバリア特性に優れた W_2N として結晶化させる。ここで、前記熱処理時間は、1～60分である。その後、前記タングステン膜27の上面に、ゲートキャップ絶縁膜として約2000Åの厚さの第1絶縁膜28を蒸着させる。

【0026】さらに、前記第1絶縁膜28の上面にフォトレジスト(図示せず)を塗布し、該フォトレジストに露光工程及び現像工程を施すことにより上記フォトレジストをパターニングしてゲート領域を画定する。そして、前記パターニングされたフォトレジストをマスクとして用いて前記第1絶縁膜28及びタングステン膜27、窒化タングステン膜26、タングステンシリサイド膜25、ポリシリコン膜24、ゲート酸化膜23を選択的に除去し、図5に示すように、タングステン膜27と窒化タングステン膜26とタングステンシリサイド膜25とポリシリコン膜24との積層構造を有するゲート電極29を形成する。

【0027】そして、前記半導体基板21を水蒸気と水素ガスとの混合ガス雰囲気下において800～1000℃の温度で選択酸化工程を施し、図6に示すように、前記ゲート電極29の側面に酸化膜(図示省略)を形成する。ここで、前記選択酸化工程は、1～60分間施され、水素ガスの圧力に対する水蒸気の圧力の比が 1×10^{-6} ～ 1×10^1 であり、キャリアーガスとしてアルゴンガス及び窒素ガスを用いる。次に、前記半導体基板21の全面に第2絶縁膜(図示省略)を形成した後、該第2絶縁膜にエッチバック工程を施して前記ゲート電極29及び絶縁膜28の両側面に第2絶縁膜側壁30を形成する。

【0028】

【発明の効果】本発明は以上のように構成されたので、請求項1及び6に係る発明によれば、半導体基板の上面にゲート絶縁膜を形成し、該ゲート絶縁膜の上面にポリシリコン膜及びケイ化タングステン膜を順次に形成し、

該ケイ化タングステンの上面に拡散バリア膜及びタングステン膜を順次に形成し、上記拡散バリア膜を熱処理工程により結晶化し、上記タングステン膜の上面に第1絶縁膜を形成し、該第1絶縁膜とタングステン膜と拡散バリア膜とケイ化タングステン膜とポリシリコン膜とゲート絶縁膜とを選択的にパターニングしてゲート電極を形成し、該ゲート電極及び第1絶縁膜の両側面に第2絶縁膜を形成する。これにより、上記ポリシリコン膜の上面にケイ化タングステンが蒸着され、該ポリシリコン膜とケイ化タングステンとの間にオーミックコンタクト(Ohmic contact)が形成される。したがって、界面抵抗を減少することが出来る。

【0029】また、請求項2及び3、5に係る発明によれば、上記拡散バリア膜は、600～800℃の温度で1～60分間の加熱処理により結晶化させることにより、非晶質窒化タングステンからなる拡散バリア膜がケイ化タングステン膜とタングステン膜との間に形成され、また600～800℃で熱処理を施してバリア特性に優れた W_2N に結晶化させることによって後の熱処理工程でタングステン膜のシリサイド化を抑制することができる。

【0030】さらに、請求項4に係る発明によれば、上記選択酸化工程は、水蒸気と水素ガスとの混合ガス雰囲気下において、800～1000℃の温度で1～60分間の加熱処理を施し、キャリアーガスとしてアルゴンガス及び窒素ガスを用いるものであることにより、タングステン膜とポリシリコン膜との界面にケイ化タングステン膜と窒化タングステン膜が形成される。これにより、ゲート電極を形成した後、選択酸化工程で拡散バリア膜が酸化されてタングステンとポリシリコンとの間における界面抵抗が増加するという問題を防止することができる。

【0031】さらにまた、請求項7に係る発明によれば、上記前記拡散バリア膜は、窒素含有量の異なる窒化タングステン膜を積層して形成するものであることにより、拡散バリア膜で窒素含有量が異なる窒化タングステン膜を積層して形成することによって熱安定性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明による半導体素子のゲート電極形成方法の工程を示す断面図であり、半導体基板の上面にフィールド酸化膜及びゲート酸化膜を形成する工程を示す図である。

【図2】 上記半導体素子のゲート電極形成方法において、上記半導体基板の全面にポリシリコン膜及びケイ化タングステン膜を形成する工程を示す断面図である。

【図3】 上記半導体素子のゲート電極形成方法において、上記ケイ化タングステンの上面に窒化タングステン膜及びタングステン膜を形成する工程を示す断面図である。

【図4】 上記半導体素子のゲート電極形成方法において、上記タングステン膜の上面に第1絶縁膜を形成する工程を示す断面図である。

【図5】 上記半導体素子のゲート電極形成方法において、上記第1絶縁膜及びタングステン膜、窒化タングステン膜、ケイ化タングステン膜、ポリシリコン膜、ゲート酸化膜を選択的に除去してゲート電極を形成する工程を示す断面図である。

【図6】 上記半導体素子のゲート電極形成方法において、上記ゲート電極及び絶縁膜の両側面に第2絶縁膜を形成する工程を示す断面図である。

【図7】 従来の半導体素子のゲート電極形成方法の工程を示す断面図であり、半導体基板の上面にフィールド酸化膜及びゲート酸化膜を形成する工程を示す図である。

【図8】 従来の半導体素子のゲート電極形成方法において、上記半導体基板の全面にポリシリコン膜を形成し、該ポリシリコン膜に不純物を注入する工程を示す図である。

【図9】 従来の半導体素子のゲート電極形成方法において、上記不純物が注入されたポリシリコン膜の上面に

第1絶縁膜を形成する工程を示す図である。

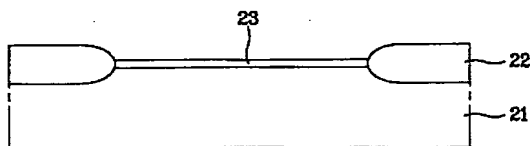
【図10】 従来の半導体素子のゲート電極形成方法において、上記第1絶縁膜及びタングステン膜、窒化タングステン膜、ポリシリコン膜、ゲート酸化膜を選択的に除去してゲート電極を形成する工程を示す断面図である。

【図11】 従来の半導体素子のゲート電極形成方法において、上記ゲート電極及び絶縁膜の両側面に第2絶縁膜を形成する工程を示す断面図である。

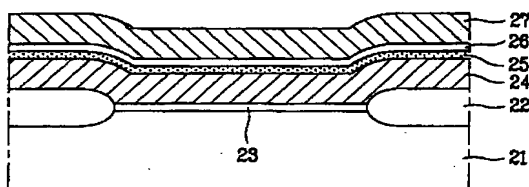
【符号の説明】

- 21…半導体基板
- 22…フィールド酸化膜
- 23…ゲート酸化膜
- 24…ポリシリコン膜
- 25…ケイ化タングステン膜
- 26…窒化タングステン膜
- 27…タングステン膜
- 28…第1絶縁膜
- 29…ゲート電極
- 30…第2絶縁膜側壁

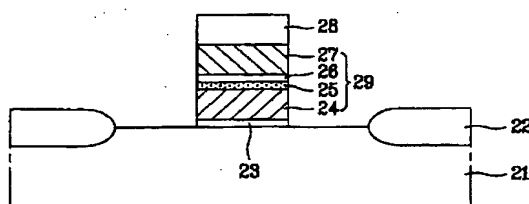
【図1】



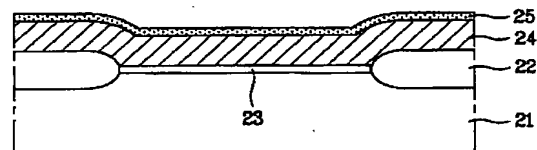
【図3】



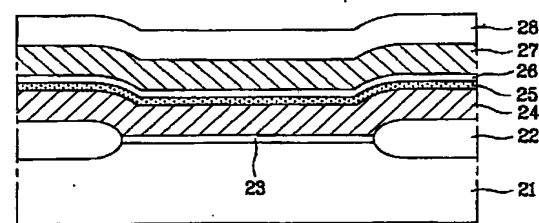
【図5】



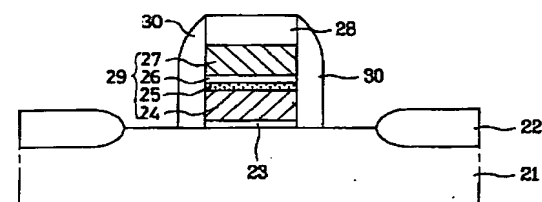
【図2】



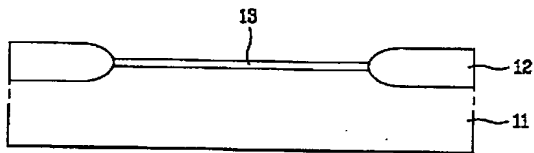
【図4】



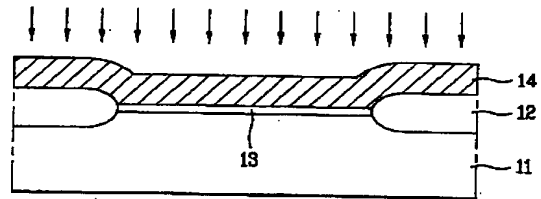
【図6】



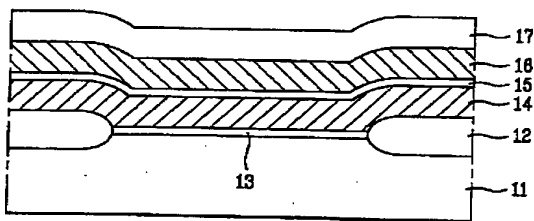
【図7】



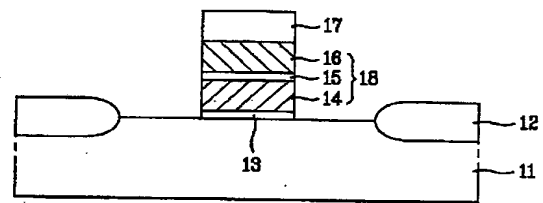
【図8】



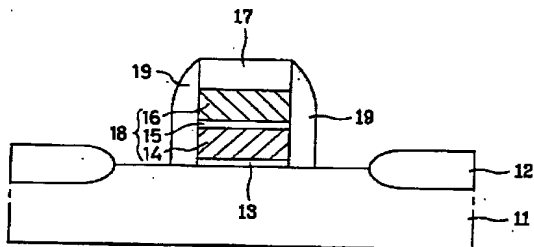
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB37 BB38 BB40
CC05 DD04 DD79 EE09 FF18
GG09 HH16
5F140 AA00 AA01 BE07 BF04 BF18
BF22 BF27 BF30 BG09 BG12
BG27 BG28 BG33 BG44 BG49
BG53 CB01 CB04